

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-196468

(43)Date of publication of application : 03.08.1990

(51)Int.Cl.

H01L 29/784

H01L 21/336

H01L 27/118

(21)Application number : 01-016701

(71)Applicant : NEC CORP

(22)Date of filing : 25.01.1989

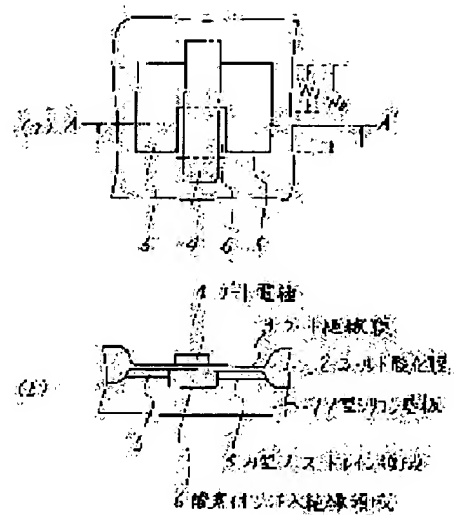
(72)Inventor : IWASAKI TADASHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To control device characteristics of a semiconductor element even after forming the semiconductor element by providing an insulating region which makes the effective gate width of a channel region small at a part of the channel region of a MOS transistor.

CONSTITUTION: In a semiconductor device including a MOS transistor consisting of a gate electrode 4 which is formed through an insulating film 3 on one conductivity type semiconductor substrate 1 and an opposite conductivity type source and drain regions which are formed at both sides of the gate electrode 4, an insulating region 6 which makes the effective gate width of a channel region small is provided at a part of the channel region of the foregoing MOS transistor. For example, a field oxide film 2 and a gate oxide film 3 are formed with a LOCOS process on a P-type silicon substrate 1 and the gate electrode 4 is formed by using polycrystalline silicon on the gate oxide film 3. Then the insulating region 6 is formed by implanting oxygen ions at a part of the channel region and the channel width W_0 in the case of forming an semiconductor element is changed to W_1 an effective channel width.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平2-196468

⑤Int. Cl.⁵

識別記号

庁内整理番号

⑬公開 平成2年(1990)8月3日

H 01 L 29/784
21/336
27/1188422-5F H 01 L 29/78 3 0 1 H
8422-5F Y
8526-5F 21/82 M

審査請求 未請求 請求項の数 1 (全3頁)

⑭発明の名称 半導体装置

⑮特 願 平1-16701

⑯出 願 平1(1989)1月25日

⑰発 明 者 岩 崎 正 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半 導 体 装 置

特 許 請 求 の 範 囲

一導電型半導体基板に絶縁膜を介して形成されたゲート電極と、該ゲート電極の両側に形成された逆導電型のソース領域及びドレイン領域とから成るMOSトランジスタを含む半導体装置において、前記MOSトランジスタのチャネル領域の一部に前記チャネル領域の実効ゲート幅を小さくする絶縁領域を設けたことを特徴とする半導体装置。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は、半導体装置に関する。

〔従来の技術〕

一般に、半導体装置で半導体基板上に絶縁領域

を形成する従来技術としては、窒化膜を用いてシリコン表面を選択的に高温雰囲気中で酸化し、フィールド酸化膜を形成することで素子分離を行なうプロセスを採用することが多い。

第4図は従来の素子領域と素子分離領域を説明するための断面図である。

P型シリコン基板1に素子領域19を取囲むように、厚さ約1μmのSiO₂膜を成長させることで素子分離領域20を構成するものである。

〔発明が解決しようとする課題〕

上述した従来の技術は、半導体装置製造工程の中でも半導体素子を形成する前の工程となるので、従来技術を用いて半導体集積回路の最適設計をデバイス特性の制御により実現しようとする場合、その対象となる回路毎にマスクパターンの専用設計を最初の工程から行なわなければならない。このため、例えば、あらかじめ同じデバイス特性を持つ半導体素子を配列しただけのゲートアレイのような半導体装置は、既に半導体素子のデバイス特性が規定されているため、従来技術によ

り既存のデバイス特性を変更または修正することで半導体集積回路の最適化設計を行なうことができない。

本発明の目的は、半導体素子形成後でも、その半導体素子のデバイス特性の制御を可能にする半導体装置を提供することにある。

〔課題を解決するための手段〕

本発明は、一導電型半導体基板に絶縁膜を介して形成されたゲート電極と、該ゲート電極の両側に形成された逆導電型のソース領域及びドレイン領域とから成るMOSトランジスタを含む半導体装置において、前記MOSトランジスタのチャネル領域の一部に前記チャネル領域の実効ゲート幅を小さくする絶縁領域を設けたものである。

〔実施例〕

次に、本発明の実施例についての図面を参照して説明する。

第1図(a)、(b)は本発明の一実施例の平面図及びA-A'線断面図である。

P型シリコン基板1のLOCOS法を用いてフ

入する。

次に、第2図(c)に示すように、熱処理してゲート酸化膜3の下のチャネル領域に改たな絶縁領域7を形成する。

一般に、半導体素子をいくつか用いて、ある基本的な機能を持ったブロックを構成し、その機能ブロック間の回路接続を行なう事を考えると、それぞれの機能ブロックの入力要領はできるだけ小さい方が望ましく、機能ブロックの出力コンダクタンスはできるだけ大きい方が望ましい。これをチャネル幅を制御することにより実現しようとする、機能ブロックの入力部分となる半導体素子のチャネル幅はできるだけ狭い方が良く、逆に出力部分となるチャネル幅はできるだけ広い方が良い。

このため、本発明を用いると容易にチャネル幅の制御が可能となるので半導体素子形成後に集積回路の最適設計が効率良く行なえる。

第3図は本発明の応用例の平面図である。

LOCOS法によりフィールド酸化膜2を形成

フィールド酸化膜2とゲート酸化膜3を形成し、ゲート酸化膜3を上にも多結晶シリコンでゲート電極4を形成する。

次に、チャネル領域の一部分に酸素イオンを注入して絶縁領域6を形成し、半導体素子形成時のチャネル幅 W_0 を実効チャネル幅を W_1 に変更する。

次に、本実施例の製造方法の一例を図面を参照して説明する。

第2図(a)～(c)は本発明の一実施例の製造方法を説明するための工程順に示した半導体チップの断面図である。

まず、第2図(a)に示すように、通常の方法によってP型シリコン基板1上にNチャネルMOSFETを形成後、絶縁膜7で半導体装置表面を被覆する。

次に、第2図(b)に示すように、デバイス特性の最適化のために、チャネル幅を制御する部分の絶縁層7を選択的にエッチングした後、ゲート電極4、ゲート酸化膜3を通して酸素イオンを注

して素子形成領域を取囲み、絶縁分離する。図の破線15で囲んだ領域内の上段にPチャネルMOSFET10を、下段にNチャネルMOSFET11とを一对で形成する。PチャネルMOSFETのソースとドレインはP型領域13にそれぞれゲート14を挟んで配置する。図の破線15内に形成されるP及びNチャネルの一对のMOSFETでインバータが構成されるよう配線9が形成されている。酸素イオンを注入して絶縁領域16を形成する。これにより三対のCMOSインバータのうちの一つが消され、残りの二つのインバータが絶縁分離されたことになり、最適設計が行われることになる。

〔発明の効果〕

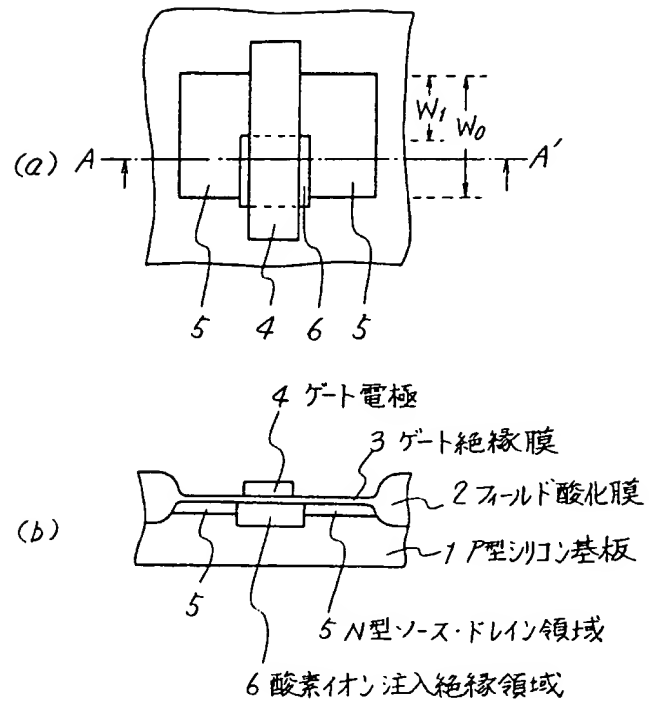
以上説明したように、本発明は、酸素イオン注入法を用いることにより、半導体素子を形成した半導体基体に選択的に絶縁領域を形成することで、デバイス特性の最適化を行えるようにしたので、デバイス製造における専用設計を行なわなくても従来の設計品がそのまま使用でき、効率良く

所望の半導体装置を製造することができるという効果を有する。

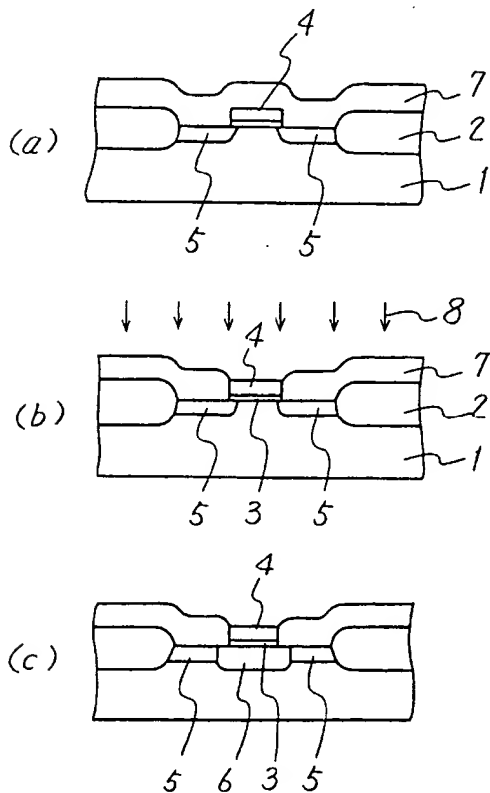
図面の簡単な説明

第1図(a)、(b)は本発明の一実施例の平面図及びA-A'線断面図、第2図(a)～(c)は本発明の一実施例の製造方法を説明するための工程順に示した半導体チップの断面図、第3図は本発明の応用例の平面図、第4図は従来の素子領域と素子分離領域を説明するための断面図である。

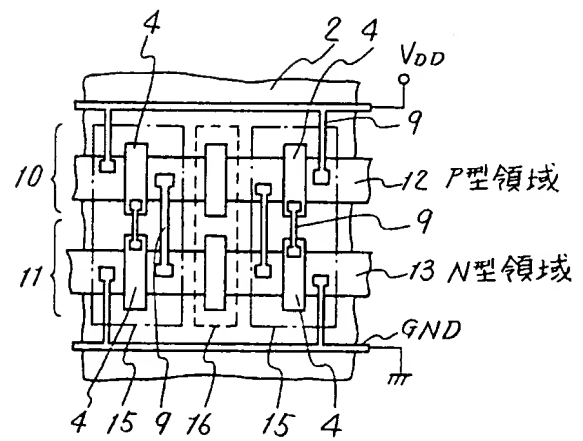
1…P型シリコン基板、2…フィールド酸化膜、3…ゲート絶縁膜、4…ゲート電極、5…N型ソース・ドレイン領域、6…絶縁領域、7…絶縁膜、9…配線、10…PチャネルMOSFET、11…NチャネルMOSFET、12…P型領域、13…N型領域、15…素子領域、16…素子分離領域、19…素子領域、20…素子分離領域。



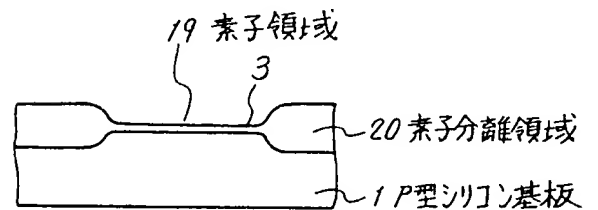
第1図



第2図



第3図



第4図